

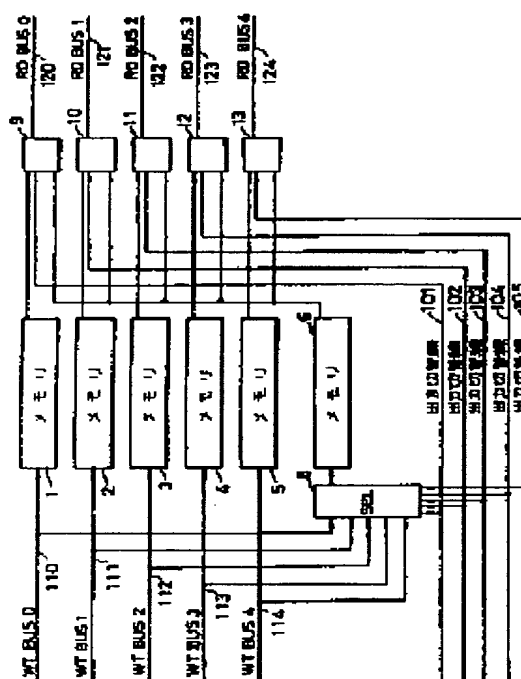
# MEMORY DEVICE

**Publication number:** JP1038852 JP64-38852A  
**Publication date:** 1989-02-09  
**Inventor:** SUZUKI CHIKARA  
**Applicant:** NIPPON ELECTRIC CO  
**Classification:**  
- International: **G06F12/16; G06F12/16;** (IPC1-7): G06F12/16  
- european:  
**Application number:** JP19870195880 19870805  
**Priority number(s):** JP19870195880 19870805

Report a data error here

## Abstract of JP1038852

**PURPOSE:**To restore uncorrectable data to correctable data even when the uncorrectable data are detected by using an alternative memory circuit when abnormality occurs in a main memory circuit. **CONSTITUTION:**When the abnormality occurs in main memory circuits 1-5, an error correcting detecting circuit detects which memory of the main memory circuits 1-5 is abnormal. When the abnormality occurs at a memory 1, an input switching circuit 8 writes the information of a writing information line 110 into an alternative memory 6 based on the information from an output switching line 101. At the time of reading, based on the information of the output switching line 101, a switching circuit 9 reads out the information of the memory circuit 6 to a reading information line 120. The information from the main memory circuits 2-5 is read out to other reading information lines 121-124.



Data supplied from the esp@cenet database - Worldwide

BEST AVAILABLE COPY

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭64-38852

⑬ Int. Cl.<sup>4</sup>

G 06 F 12/16

識別記号

310

庁内整理番号

P-7737-5B

⑭ 公開 昭和64年(1989)2月9日

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 メモリ装置

⑯ 特 願 昭62-195880

⑰ 出 願 昭62(1987)8月5日

⑱ 発 明 者 鈴木 主 税 東京都港区芝5丁目33番1号 日本電気株式会社内  
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号  
⑳ 代 理 人 弁理士 柳 川 信

明 細 書

1. 発明の名称

メモリ装置

2. 特許請求の範囲

主メモリ回路と、この主メモリ回路に異常が生じたときに使用される代替メモリ回路と、前記主メモリ回路の入力を選択的に前記代替メモリ回路に供給する入力切替回路と、前記主メモリ回路及び代替メモリ回路の各出力を択一的に出力する出力切替回路とからなることを特徴とするメモリ装置。

3. 発明の詳細な説明

技術分野

本発明はメモリ装置に関し、特に磁気ディスクキャッシュ等の大容量メモリ装置に関する。

従来技術

従来、この種のメモリ装置では、1ビットエラー訂正2ビットエラー検出等のエラー訂正・検出を行っており、このエラー訂正検出回路で訂正不可能なエラーを検出したとき、以降のメモリ回

路のデータは訂正することが不可能となり、またエラー訂正ビット数を増やせば、それに見合った規模のメモリ回路が必要となり、高価なメモリ装置になってしまう欠点がある。

発明の目的

本発明は、訂正不可能なエラーが検出されても訂正可能なデータに戻すことができかつ安価なメモリ装置を提供することを目的とする。

発明の構成

本発明によるメモリ装置は、主メモリ回路と、この主メモリ回路に異常が生じたときに使用される代替メモリ回路と、主メモリ回路の入力を選択的に代替メモリ回路に供給する入力切替回路と、主メモリ回路及び代替メモリ回路の各出力を択一的に出力する出力切替回路とからなる構成となっている。

実施例

次に、本発明について図面を参照して説明する。

図において、1～5は書き込み情報110～114を介して供給される情報を記憶するための主メモ

リ回路、6は主メモリ回路1～5のうちの1つに異常が生じたときに使用される代替メモリ回路、8は出力切替線101～105を介してエラー訂正・検出回路（図示せず）から供給される情報に基づいて書き込み情報線110～114の情報を択一的に代替メモリ回路8に供給する入力切替回路、9～13は出力切替線101～105の情報に基づいて主メモリ回路1～5又は代替メモリ回路6の出力を選択して読み出し情報線120～124に出力する出力切替回路である。

かかる構成において、主メモリ回路1～5に異常が発生していないときには、これら主メモリ回路1～5には書き込み情報線110～114を介して供給される情報が書き込まれ、また読み出し情報線120～124には出力切替回路9～13によって主メモリ回路1～5からの情報が読み出される。

ここで、読み出し時に異常が発生したときに、エラー訂正・検出回路（図示せず）は主メモリ回路1～5のうちのどのメモリ異常かを検出し、もし主メモリ回路1に異常が発生したときには、以

降出力切替線101の情報に基づく入力切替回路8の切替制御により、書き込み情報線110の情報が代替メモリ6に書き込まれる。また読み出し時には、出力切替線101の情報に基づく出力切替回路9の切替制御により、読み出し情報線120には代替メモリ回路6の情報が読み出される。他の読み出し情報線121～124には主メモリ回路2～5から読み出される。この動作により、不良のメモリ回路1の代替として、代替メモリ回路6を用いることができる。

#### 発明の効果

以上説明したように、本発明は不良メモリ回路が生じたときにその不良メモリ回路の代替として代替メモリ回路を用いることで、代替メモリ回路によるメモリ回路分だけが必要となるだけで安価で、また訂正不可能なエラーが検出されても代替メモリ回路を用いることで訂正可能なデータに戻すことができる効果がある。

#### 4. 図面の簡単な説明

図は本発明の一実施例を示すブロック図である。

#### 主要部分の符号の説明

- 1～5 ……主メモリ回路
- 6 ……代替メモリ回路
- 8 ……入力切替回路
- 9～13 ……出力切替回路

出願人 日本電気株式会社  
代理人 弁理士 柳川 信

